

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268173

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H01L 27/108

H01L 27/04

(21)Application number : 05-054218

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.03.1993

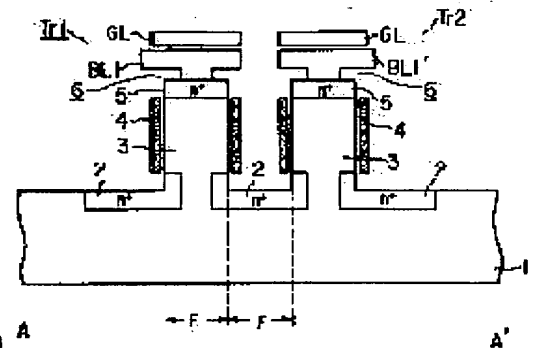
(72)Inventor : WATANABE SHIGEYOSHI

## (54) SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To prevent lowering of integration caused by use of a vertical MOS transistor for a core circuit excepting a memory cell by performing connection between a circuit excepting a memory cell such as a sense amplifier circuit and a bit line by a source/drain diffusion layer of a plurality of vertical MOS transistors connected in series.

**CONSTITUTION:** SGTs (Tr1, Tr2) connected in series wherein a source/drain diffusion layers 2 are commonly used are formed in a groove bottom part of a silicon substrate 1. In each SGT, a gate electrode 4 is formed in an outer periphery of a silicon pillar 3, the source/drain diffusion layer 2 is formed in a groove bottom part and a source/drain diffusion layer 5 is formed in an upper surface thereof, and it is used as a transfer transistor. Since SGTs (Tr1, Tr2) connected in series are used, a bit line BL1 at the side of a memory cell is brought into contact with the source/drain diffusion layer 5 in an upper surface of the SGT (Tr1) and a bit line BL1' at the side of a sense amplifier is brought into contact with the source/drain diffusion layer 5 in an upper surface of the SGT (Tr2).



## LEGAL STATUS

[Date of request for examination]

29.11.1999

[Date of sending the examiner's decision of rejection]

02.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268173

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/108

27/04

識別記号

庁内整理番号

F I

技術表示箇所

C 8427-4M

7210-4M

7210-4M

H 0 1 L 27/ 10

3 2 5 D

3 2 5 F

審査請求 未請求 請求項の数2 O L (全 10 頁)

(21)出願番号

特願平5-54218

(22)出願日

平成5年(1993)3月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渡辺 重佳

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

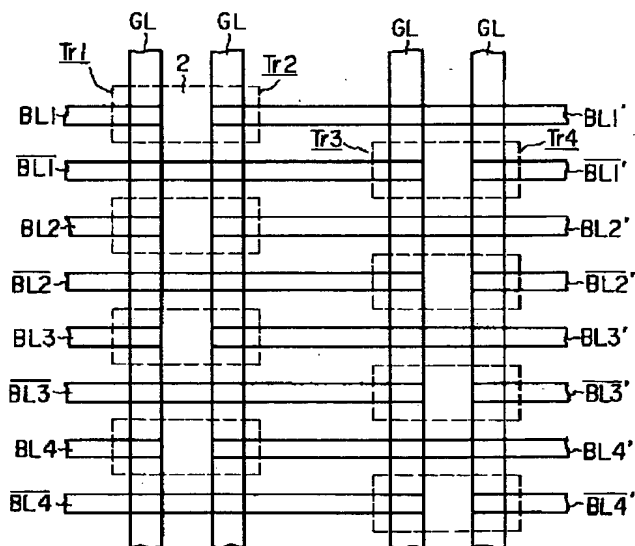
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】SGTをメモリセル以外のコア回路に使用しても集積化が妨げられない構造のDRAMを提供すること。

【構成】SGTセルからなるメモリセルと、SGTからなるセンスアンプとの接続を、直列接続された二つのSGT(Tr1, Tr2)のシリコン柱の上面のソース・ドレイン拡散層5で行なうことを特徴とする。



## 【特許請求の範囲】

【請求項1】複数本のワード線とこれらと交差する複数本のビット線が配設され、それらの各交点位置に縦型MOSトランジスタとキャパシタとからなるメモリセルを有する複数のメモリセルアレイと、前記ビット線の電流を検出し、増幅するセンスアンプ回路と、前記ワード線を選択するためのデコーダ回路とを具備してなり、前記縦型MOSトランジスタは、柱状半導体層の頂部表面に形成され、前記ビット線に接続された第1のソース・ドレイン拡散層と、前記柱状半導体層の下部側面の表面に形成された第2のソース・ドレイン拡散層と、前記第1および第2のソース・ドレイン拡散層の間の前記柱状半導体層の側面周囲にゲート絶縁膜を介して配設され、前記ワード線に接続されたゲート電極とからなり、前記キャパシタは、前記第2のソース・ドレイン拡散層からなる第1のキャパシタ電極と、前記第2のソース・ドレイン拡散層の側面周囲にキャパシタ絶縁膜を介して配設され、前記ビット線に接続された第2のキャパシタ電極とからなる半導体記憶装置において、前記センスアンプ回路および前記デコーダ回路の少なくとも一方は、前記縦型MOSトランジスタで構成されており、且つ前記縦型MOSトランジスタで構成された前記回路のうち、センスアンプ回路は、前記ビット線との接続を直列接続された偶数個の前記縦型MOSトランジスタの第1のソース・ドレイン拡散層で行ない、デコーダ回路は、前記ワード線との接続を直列接続された偶数個の前記縦型MOSトランジスタの第1のソース・ドレイン拡散層で行なっていることを特徴とする半導体記憶装置。

【請求項2】複数本のワード線とこれらと交差する複数本のビット線が配設され、それらの各交点位置に縦型MOSトランジスタとキャパシタとからなるメモリセルを有する複数のメモリセルアレイと、前記ビット線の電流を検出し、増幅するセンスアンプ回路と、前記ワード線を選択するためのデコーダ回路とを具備してなり、前記縦型MOSトランジスタは、柱状半導体層の頂部表面に形成され、前記ビット線に接続された第1のソース・ドレイン拡散層と、前記柱状半導体層の下部側面の表面に形成された第2のソース・ドレイン拡散層と、前記第1および第2のソース・ドレイン拡散層の間の前記柱状半導体層の側面周囲にゲート絶縁膜を介して配設され、前記ワード線に接続されたゲート電極とからなり、前記キャパシタは、前記第2のソース・ドレイン拡散層からなる第1のキャパシタ電極と、前記第2のソース・ドレイン拡散層の側面周囲にキャパシタ絶縁膜を介して配設され、前記ビット線に接続された第2のキャパシタ

電極とからなる半導体記憶装置において、前記複数のメモリセルアレイ間の領域に、前記縦型MOSトランジスタからなり、前記ワード線の電位を所定のレベルに保持するレベル安定化回路が形成されていることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特にダイナミック型の半導体記憶装置（DRAM）に関する。

## 【0002】

【従来の技術】LSIメモリの一つであるDRAMの集積化には目覚ましい進歩がある。DRAMの性能向上は、集積度を高めること、つまり、メモリセルの微細化により実現できる。

【0003】DRAMのメモリセルの一つとして、近年、スイッチング用MOSトランジスタとしてSGT（Surrounding Gate Transistor）を用いた、いわゆる、縦型SGTセルが提案されている。

【0004】図15にSGTセルの構造を示す。SGTは半導体基板91に溝を掘って形成した柱状半導体層93と、この柱状半導体層93の外周にゲート絶縁膜（不図示）を介して形成されたゲート電極95と、柱状半導体層93の上面と溝底部とにそれぞれ形成されたソース・ドレイン拡散層96、98とで構成されている。

【0005】一方、SGTセルのキャパシタは、溝底部のソース・ドレイン拡散層98と、このソース・ドレイン拡散層98の周囲にキャパシタ絶縁膜（不図示）を介して形成されたプレート電極94とで構成されている。なお、図中、92は反転防止層を示し、97はビット線を示している。

【0006】図16は、SGTをイコライズトランジスタとして用いたときのビット線間の接続部分の平面図を示している。また、図17は、図16の接続部分のD-D'断面図を示している。

【0007】このとき、溝底部のソース・ドレイン拡散層98をコンタクト配線99と接続しなければならないが、柱状半導体層93の底部におけるPEPは難しいので、溝底部のソース・ドレイン拡散層98からコンタクト配線99がずれる恐れがある。このため、コンタクト配線99の位置がずれも所望のコンタクト抵抗が得られるように、1.5Fより大きい寸法パターンでコンタクト配線99をパターンニングする必要がある。

【0008】更に、コンタクト配線99と柱状半導体層93の上面のイコライズ配線ELとの短絡が起り易くなり、これを防止するためにコンタクト配線99と柱状半導体層93との間の寸法をFより大きくする必要がある。

【0009】このようにSGTをメモリセル以外のコア回路に使用する場合には、溝底部のソース・ドレイン拡

散層98をコンタクト配線99などの配線と接続しなければならず、コア回路の面積が大きくなるという問題があった。特にセンスアンプ部ではビット線がFの間隔で走っているため、このビット線間に上記の如きのコンタクト部を形成するのは不可能であった。ところで、SGTセルは従来のメモリセルに比べてサイズを大幅に小型化できるが、ワード線間のカップリングによるリーク電流が問題となっていた。

【0010】これを図18を用いて説明すると、一般に、ワード線は、低抵抗化を図るために、ゲート配線95が所定間隔でシャント用配線1A1とコンタクトする、いわゆる、シャント構造となっており、ワード線間のカップリング比 $C_{WL-WL}$ は、ワード線全体の容量を $C_{WL}$ 、ゲート配線間の容量を $C_1$ 、シャント用配線間の容量を $C_2$ とすると、次式のように表せられる。

$$C_{WL-WL} = (C_1 + C_2) / C_{WL}$$

【0011】ワード線全体の容量 $C_{WL}$ およびシャント用配線間の容量 $C_2$ は、メモリセル構造がSGT構造或いは従来構造かによらずほぼ同じ値となるが、ゲート配線間の容量 $C_1$ はメモリセル構造により大きく異なる。従来のメモリセルの場合、MOSトランジスタが平面構造となっているため、ゲート配線間の容量 $C_1$ は小さいものとなる。

【0012】一方、SGTセルの場合、MOSトランジスタが縦型であるため、隣接するMOSトランジスタのゲート電極が相対向するように配列されるため、ゲート配線間の容量 $C_1$ は非常に大きいものとなる。このため、SGTセルの場合、ワード線間のカップリング容量が大きいものとなるので、リーク電流によって選択ワード線に隣接する非選択ワード線のレベルが上昇する。このため、SGTセルを用いたDRAMは、従来の平面構造のメモリセルを用いたDRAMに比べて、リーク電流に起因する信頼性の低下が大きいという問題があった。

【0013】

【発明が解決しようとする課題】上述の如く、SGTをメモリセル以外のコア回路に使用する場合には、溝底部のソース・ドレイン拡散層をコンタクト配線などの配線と接続しなければならず、コア回路の面積が大きくなるという問題があった。

【0014】また、SGTセルは、平面型トランジスタを用いたメモリセルに比べて、ワード線間のカップリング容量が大きいので、リーク電流に起因する信頼性の低下が問題となっていた。

【0015】本発明は上記事情を考慮してなされたもので、その第1の目的は、SGTをメモリセル以外のコア回路に使用しても集積化が妨げられない構造の半導体記憶装置を提供することにある。また、第2の目的は、リーク電流に起因する信頼性の低下を防止し得るSGTセルを用いた半導体記憶装置を提供することにある。

【0016】

【課題を解決するための手段】上記の第1の目的を達成するために、本発明の半導体記憶装置（請求項1）は、複数本のワード線とこれらと交差する複数本のビット線が配設され、それらの各交点位置に縦型MOSトランジスタとキャパシタとからなるメモリセルを有する複数のメモリセルアレイと、前記ビット線の電流を検出し、増幅するセンスアンプ回路と、前記ワード線を選択するためのデコーダ回路とを具備してなり、前記縦型MOSトランジスタが、柱状半導体層の頂部表面に形成され、前記ビット線に接続された第1のソース・ドレイン拡散層と、前記柱状半導体層の下部側面の表面に形成された第2のソース・ドレイン拡散層と、前記第1および第2のソース・ドレイン拡散層の間の前記柱状半導体層の側面周囲にゲート絶縁膜を介して配設され、前記ワード線に接続されたゲート電極とからなり、前記キャパシタが、前記第2のソース・ドレイン拡散層からなる第1のキャパシタ電極と、前記第2のソース・ドレイン拡散層の側面周囲にキャパシタ絶縁膜を介して配設され、前記ビット線に接続された第2のキャパシタ電極とからなる半導体記憶装置において、前記センスアンプ回路および前記デコーダ回路の少なくとも一方が、前記縦型MOSトランジスタで構成されてなり、且つ前記縦型MOSトランジスタで構成された前記回路のうち、センスアンプ回路が、前記ビット線との接続を直列接続された偶数個の前記縦型MOSトランジスタの第1のソース・ドレイン拡散層で行なわれ、デコーダ回路が、前記ワード線との接続を直列接続された偶数個の前記縦型MOSトランジスタの第1のソース・ドレイン拡散層で行なわれていることを特徴とする。

【0017】また、上記第2の目的を達成するために、本発明の他の半導体記憶装置（請求項2）は、複数本のワード線とこれらと交差する複数本のビット線が配設され、それらの各交点位置に縦型MOSトランジスタとキャパシタとからなるメモリセルを有する複数のメモリセルアレイと、前記ビット線の電流を検出し、増幅するセンスアンプ回路と、前記ワード線を選択するためのデコーダ回路とを具備してなり、前記縦型MOSトランジスタが、柱状半導体層の頂部表面に形成され、前記ビット線に接続された第1のソース・ドレイン拡散層と、前記柱状半導体層の下部側面の表面に形成された第2のソース・ドレイン拡散層と、前記第1および第2のソース・ドレイン拡散層の間の前記柱状半導体層の側面周囲にゲート絶縁膜を介して配設され、前記ワード線に接続されたゲート電極とからなり、前記キャパシタが、前記第2のソース・ドレイン拡散層からなる第1のキャパシタ電極と、前記第2のソース・ドレイン拡散層の側面周囲にキャパシタ絶縁膜を介して配設され、前記ビット線に接続された第2のキャパシタ電極とからなる半導体記憶装置において、

【0018】前記複数のメモリセルアレイ間の領域に、

前記縦型MOSトランジスタからなり、前記ワード線の電位を所定のレベルに保持するレベル安定化回路が形成されていることを特徴とする。

【0019】

【作用】本発明の半導体記憶装置（請求項1）によれば、例えば、縦型MOSトランジスタで構成されたメモリセル以外のコア回路（センスアンプ回路、デコーダ回路）とビット線との接続が、直列接続された偶数個の縦型MOSトランジスタの（柱状半導体層の頂部表面の）第1のソース・ドレイン拡散層で行なわれることになる。すなわち、従来のように縦型MOSトランジスタの（下部側面の表面に形成された）第2のソース・ドレイン拡散層と接続することがないので、SGTをメモリセル以外のコア回路に使用しても集積化が妨げられない。

【0020】また、本発明の他の半導体記憶装置（請求項2）によれば、微細化に有利な縦型MOSトランジスタにより構成されたレベル安定化回路を用いているので、集積化の低下を招くこと無く、ワード線間のカップリングによるリーク電流に起因する信頼性の低下を防止できる。

【0021】

【実施例】以下、図面を参照しながら実施例を説明する。

【0022】図1は、本発明の一実施例に係るDRAMのセンスアンプ内のフリップフロップ部とセルアレイとの接続領域の平面図である。上記センスアンプはSGTにより構成されている。

【0023】本実施例の特徴は、図4の等価回路図に示すように、直列接続された二つのSGT（Tr1, Tr2）や、SGT（Tr3, Tr4）を一つのトランスファートランジスタとして用いていることにある。なお、図中、○印はシリコン柱の上面に形成されたソース・ドレイン拡散層を示している（図4以外の等価回路図中の○印も同じ）。

【0024】図2は、図1のセンスアンプ側のビット線BL1とメモリセルアレイ側のビット線BL1'との接続部分のより詳しい平面図である。ビット線BL1とSGT（Tr1）のシリコン柱3の上部とのコンタクト、並びにビット線BL1'とSGT（Tr21）のシリコン柱3の上部とのコンタクトはコンタクトホール6を介して行なわれている。図3は、図1の接続領域のA-A'断面図である。

【0025】図3において、1はシリコン基板を示しており、このシリコン基板1には溝底部のソース・ドレイン拡散層2aを共通とする直列接続された二つのSGT（Tr1, Tr2）が形成されている。

【0026】各SGTは、シリコン柱3の外周にゲート絶縁膜（不図示）を介して形成されたゲート電極4と、シリコン柱3の溝底部に形成されたソース・ドレイン拡散層2、2aと、シリコン柱3の上面に形成されたソー

ス・ドレイン拡散層5とで構成されている。

【0027】本実施例によれば、トランスファートランジスタとして、直列接続された二つのSGT（Tr1, Tr2）を用いているので、メモリセル側のビット線BL1をSGT（Tr1）の上面のソース・ドレイン拡散層5にコンタクトさせ、センスアンプ側のビット線BL1'をSGT（Tr2）の上面のソース・ドレイン拡散層5にコンタクトさせることができる。

【0028】このため、溝底部のソース・ドレイン拡散層2とコンタクトする配線を形成する必要がなくなるので、全ての配線をFのPEPで形成できる。したがって、SGTを用いても従来のようにセンスアンプ領域の面積が増加することはない。

【0029】図6は、本発明の他の実施例に係るDRAMのセンスアンプの平面図であり、図5は、図6のSGT（TrA1, TrA2）部分の等価回路図である。これは本発明をセンスアンプ内のビット線BLおよびビット線/BL（なお、/は図中のBL上の-を示している）のイコライズ用トランジスタに適用した例である。すなわち、本実施例のイコライズ用トランジスタは、大きく分けて、先の実施例と同様に直列接続されたSGT（TrA1, TrA2）で構成され、更に、SGT（TrA1）、SGT（TrA2）もそれぞれ二つのはSGTで構成されている。

【0030】このようなイコライズ用トランジスタを用いれば、ビット線BLおよびビット線/BLの両方がSGT（TrA1, TrA2）のシリコン柱の上面のソース・ドレイン拡散層にコンタクトするので、センスアンプ領域の面積の増加を防止できる。

【0031】図7は、本発明の他の実施例に係るDRAMのセンスアンプおよびメモリセルアレイの等価回路図である。これは本発明を従来のDRAMのセンスアンプおよびメモリセルアレイに適用した例である。

【0032】すなわち、全てのトランジスタがSGTになっており、パターンの（デザインルールの）に厳しい領域のSGT、つまり、ソース・ドレイン拡散層と配線とのコンタクトが難しく、合わせマージンが大きい部分（例えば、トランスファークローク、センスアンプ回路のフリップフロップ部、イコライズ回路）には、先の実施例と同様に直列接続された二つのSGTを用いている。

【0033】図8に、図7のDRAMのセンスアンプのフリップフロップ回路のパターンの一例を示す。図中、TrB1, B2はともに4つのSGTで構成されている。また、7はシリコン柱の上面のソース・ドレイン拡散層とビット線とのコンタクト部を示し、8はビット線とゲート電極とのコンタクト部を示している。

【0034】図9は、本発明の他の実施例に係るDRAMのロウデコーダ内のNAND型回路の平面図である。このNAND型回路はSGTで構成されている。また、図10は、図9の内部ノードN1側のNAND型回路の

等価回路図である。

【0035】本実施例のNAND型回路は、ロウデコーダ内に入力されるアドレス（ワード）線の本数（7本）に対応した、7個の直列接続されたSGT（TrC1～TrC7）からなるNAND型回路本体に、1個のSGT（TrC8）が直列接続された構造になっている。このSGT（TrC8）のゲートは電源配線GV<sub>cc</sub>Lを介して高電位電源に繋がっており、SGT（TrC8）は常にオン状態となっている。なお、図中、V<sub>ss</sub>Lは、低電位の拡散層2aとSGT（TrC1）とのコンタクトを取るための電源配線である。

【0036】このように構成されたNAND型回路によれば、SGT（TrC7）の溝底部のソース・ドレイン拡散層の代わりに、SGT（TrC8）のシリコン柱の上面のソース・ドレイン拡散層に電源配線V<sub>ss</sub>Lをコンタクトさせることができる。このため、合わせマージンが小さくて済むので、SGTを用いることによるNAND型回路の面積の増加を防止できる。

【0037】なお、本実施例ではアドレス線が7本の場合について説明したが、要はアドレス線が奇数本の場合には、一つSGTを追加してSGTの全個数を偶数にし、シリコン柱の上面のソース・ドレイン拡散層でコンタクトをとれば良い。

【0038】図11は、本発明の他の実施例に係るDRAMのメモセル領域の平面図である。また、図12、図13は、それぞれ、図11のDRAMのB-B'断面図、C-C'断面図である。

【0039】図中、TrD1、TrD1'、TrD2、TrD2'およびTrD3はシャント領域に形成されたSGTを示しており、これら4個のSGTにより、非選択時におけるワード線2のレベルが、隣接するワード線W1、W3のリーク電流によって上昇するのを防止するレベル安定化回路が構成されている。このレベル安定化回路の等価回路図を図14に示す。

【0040】二つのSGT（TrD1、TrD1'）のシリコン柱3の上面のソース・ドレイン拡散層5は、コンタクト部15aでコンタクト配線CLに接続されている。一方、溝底部のソース・ドレイン拡散層2は領域内11に形成されており、その電位は低電源電位V<sub>ss</sub>となっている。

【0041】同様に、二つのSGT（TrD2、TrD2'）のシリコン柱の上面のソース・ドレイン拡散層は、コンタクト部15bでコンタクト配線CLに接続されている。また、溝底部のソース・ドレイン拡散層は領域内11に形成され、その電位は低電源電位V<sub>ss</sub>となっている。

【0042】また、SGT（TrD1、TrD1'）のゲート電極4と、SGT（TrD2、TrD2'）のシリコン柱の上面のソース・ドレイン拡散層との接続はコンタクト部14aで行なわれている。また、SGT（TrD1、TrD1'）のシリコン柱の上面のソース・ドレイン拡散層5と、SGT（TrD2、TrD2'）のゲート電極との接続はコンタクト部14bで行なわれている。

【0043】また、SGT（TrD3）のシリコン柱の上面のソース・ドレイン拡散層と、二つのSGT（TrD1、TrD1'）のゲート電極との接続はコンタクト部16で行なわれている。一方、SGT（TrD3）の溝底部のソース・ドレイン拡散層は領域12内に形成され、その電位は高低電源電位V<sub>cc</sub>となっている。

【0044】また、SGT（TrD3）のゲート電極は、プリチャージ信号が与えられるプリチャージ配線PLに接続されている。なお、図中、13はシャント用配線とワード線とのコンタクト部分を示している。

【0045】このように構成されたレベル安定化回路によれば、プリチャージ時にプリチャージ信号がハイレベルになるため、レベル安定化回路のノードN1がプリチャージされる。

【0046】この後、1本のワード線、例えば、ワード線WL3が選択され、そのレベルがハイになった場合を考えると、このワード線WL3に隣接した非選択のワード線WL2は、ワード線間のカップリングによって、ハイレベルになるとする。しかし、SGT（TrD1、D1'）のゲートがノードN1に繋がっているので、SGT（TrD1、D1'）はオンとなる。このため、ワード線WL2に流れ込むリーク電流はSGT（TrD1、D1'）を介して放出され、非選択のワード線WL2はローレベルのままとなる。

【0047】したがって、本実施例によれば、ワード線間のカップリングが大きいSGTセルを用いても、非選択のワード線をローレベルに保つことができ、リーク電流に起因する記憶保持特性の劣化を防止できる。

【0048】しかも、本実施例では、SGTにより構成されたレベル安定化回路を用いているので、1個のレベル安定化回路を2本のワード線に相当するピッチ内に収めることができる。一方、平面構造のMOSトランジスタを用いた場合には、1個のレベル安定化回路を形成するのに、少なくとも4本のワード線に相当するピッチが必要となる。このため、シャント領域内にレベル安定化回路を収めるのは不可能である。なお、本実施例では、シャント領域内にレベル安定化回路を設けたが、他の領域内に設けても良い。

【0049】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、2個のSGTでトランスファートランジスタ等を構成したが、4個以上の偶数個のSGTで構成しても良い。更に、上述したコア回路以外の回路にも適用できる。更にまた、レベル安定化回路は上述した構成のものに限定されるものではない。

【0050】

【発明の効果】以上詳述したように本発明（請求項1）によれば、縦型MOSトランジスタにより構成されたセンスアンプ回路などのメモリセル以外の回路と、ビット線やワード線との接続が、直列接続された複数の縦型MOSトランジスタの柱状半導体層の頂部表面のソース・ドレイン拡散層で行なわれているので、縦型MOSトランジスタをメモリセル以外のコア回路に使用することによる集積化の低下を防止できる。

【0051】また、本発明（請求項2）によれば、微細化に有利な縦型MOSトランジスタにより構成されたレベル安定化回路を用いているので、集積化の低下を招くことなく、ワード線間のカップリングによるリーク電流に起因する信頼性の低下を防止できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例に係るDRAMのセンスアンプ内のフリップフロップ部とセルアレイとの接続領域の平面図。

【図2】図1の接続領域におけるビット線とノード配線との接続部分のより詳しい平面図。

【図3】図1の接続領域のA-A'断面図。

【図4】図1の接続領域の等価回路図。

【図5】図6のSGT部分の等価回路図。

【図6】本発明の他の実施例に係るDRAMのセンスアンプの平面図。

【図7】本発明の他の実施例に係るDRAMのセンスア

ンプおよびメモリセルアレイの等価回路図。

【図8】図7のDRAMのセンスアンプのフリップフロップ回路のパターンの一例を示す平面図。

【図9】本発明の他の実施例に係るDRAMのロウデコーダ内のNAND型回路の平面図。

【図10】図9のNAND型回路の等価回路図。

【図11】本発明の他の実施例に係るDRAMのメモリセル領域の平面図。

【図12】図11のDRAMのB-B'断面図。

【図13】図11のDRAMのC-C'断面図。

【図14】図11のDRAMのレベル安定化回路の等価回路図。

【図15】SGTセルの構造を示す図。

【図16】従来のセンスアンプとメモリセルとの接続部分の平面図。

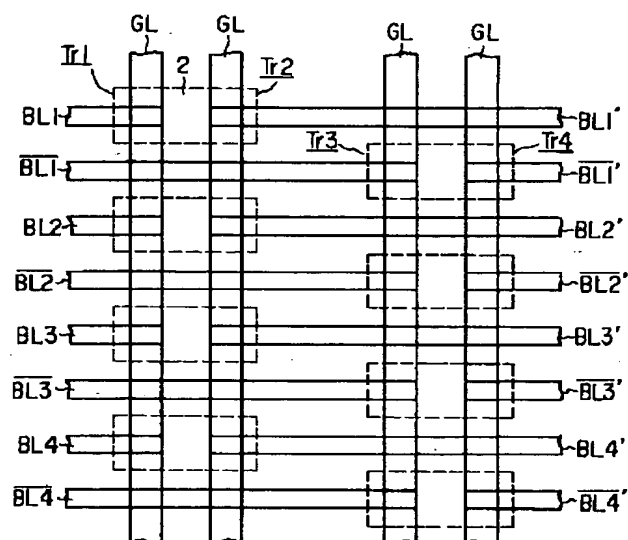
【図17】図16の接続部分のD-D'断面図。

【図18】従来のSGTセルの問題点を説明するための図。

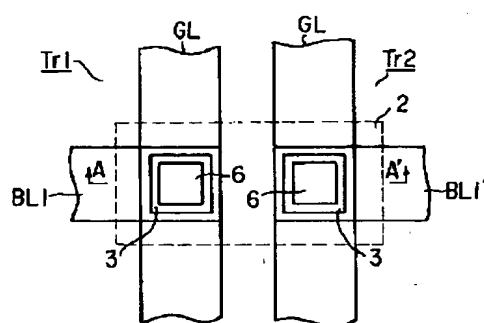
#### 【符号の説明】

- 1…シリコン基板
- 2, 2a…（溝底部の）ソース・ドレイン拡散層
- 3…シリコン柱（柱状半導体層）
- 4…ゲート電極
- 5…（シリコン柱の上面の）ソース・ドレイン拡散層

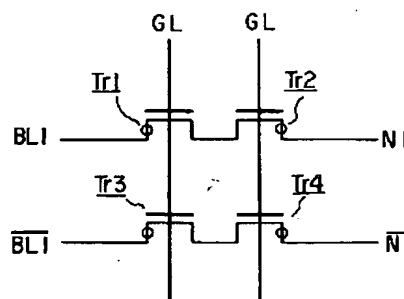
【図1】



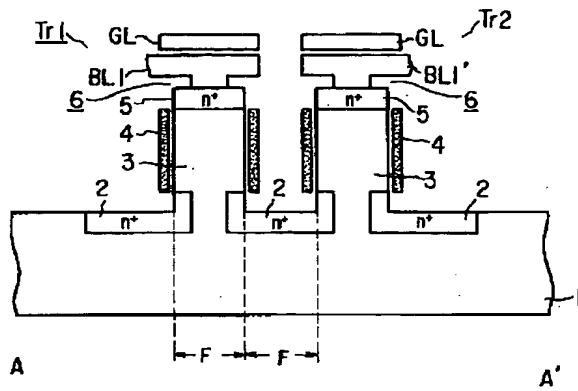
【図2】



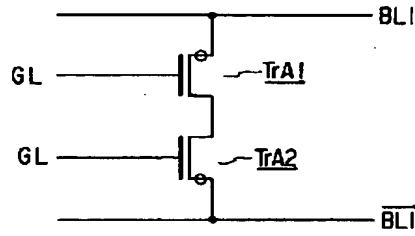
【図4】



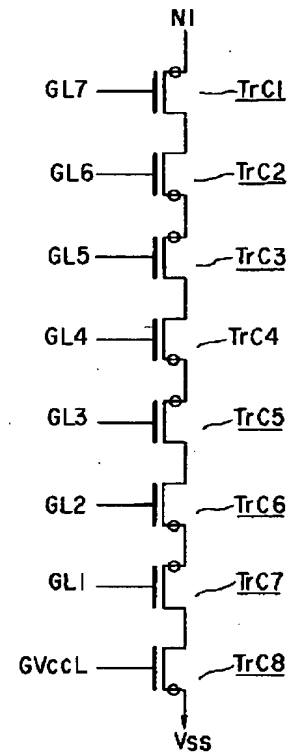
【図3】



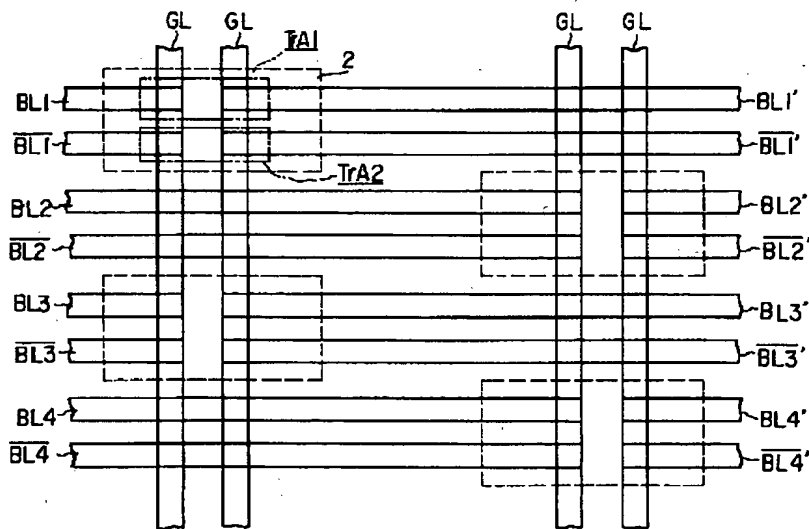
【図5】



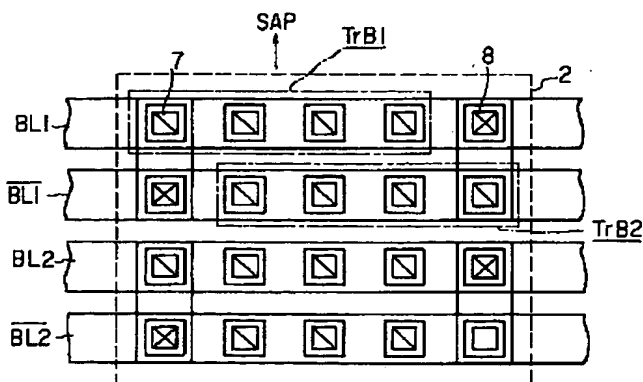
【図10】



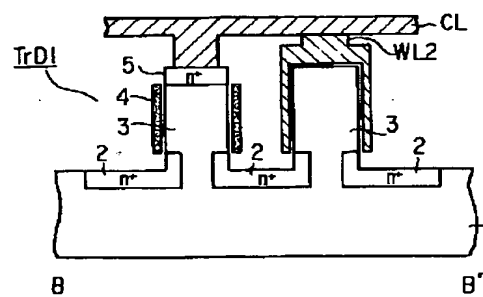
【図6】



【図8】

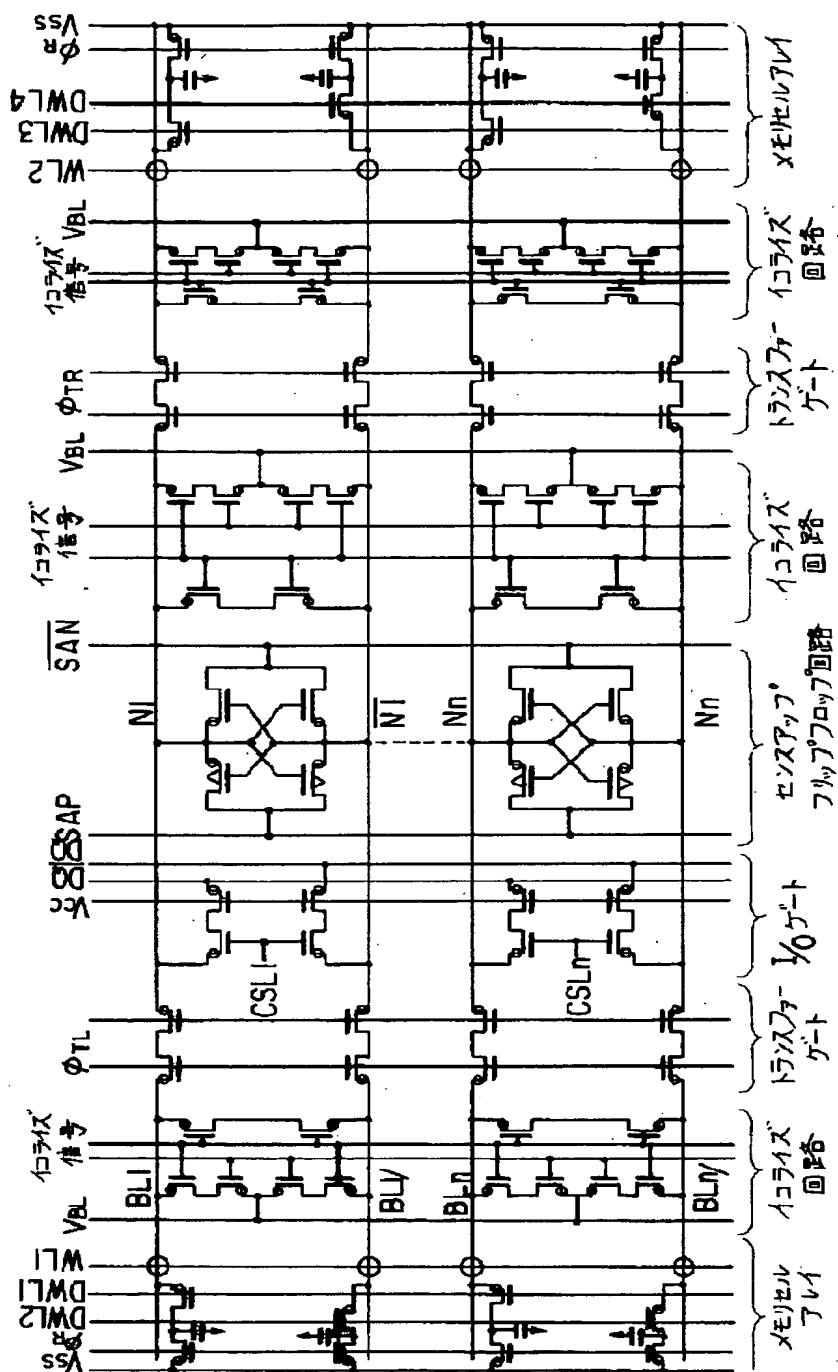


【図12】

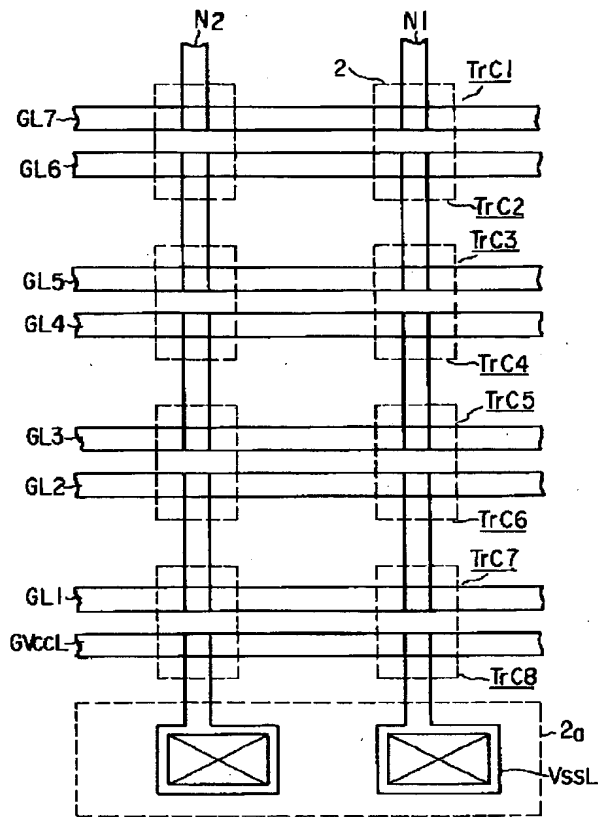




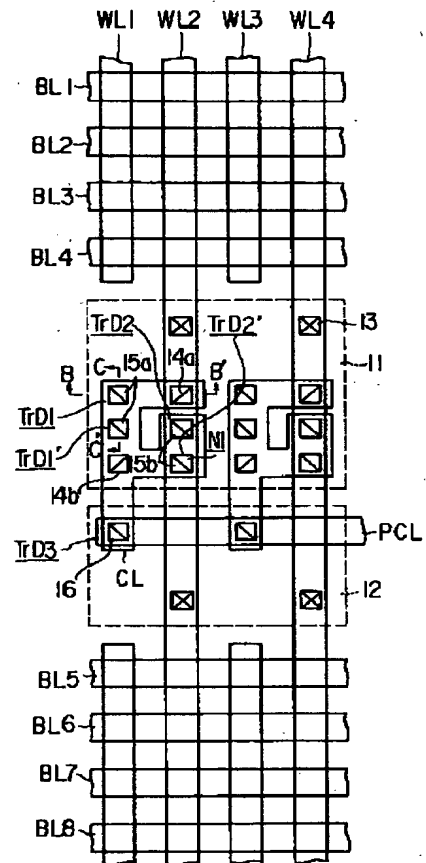
【図 7】



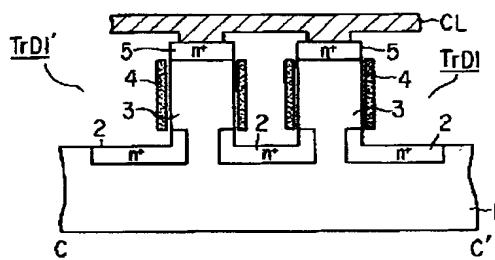
【図9】



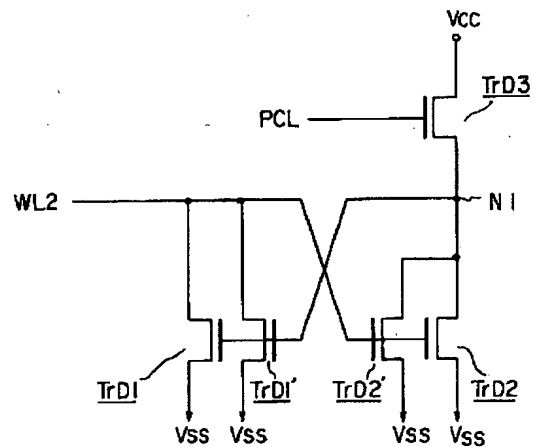
【図11】



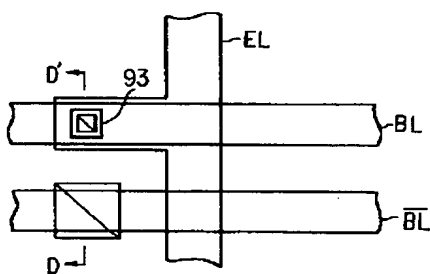
【図13】



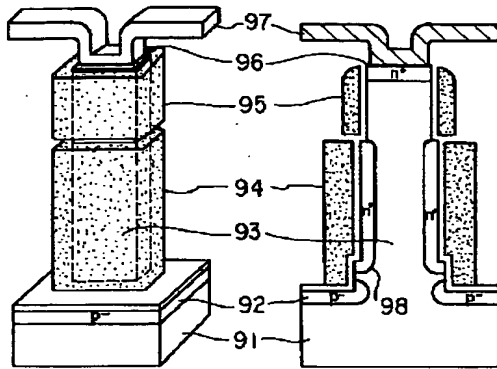
【図14】



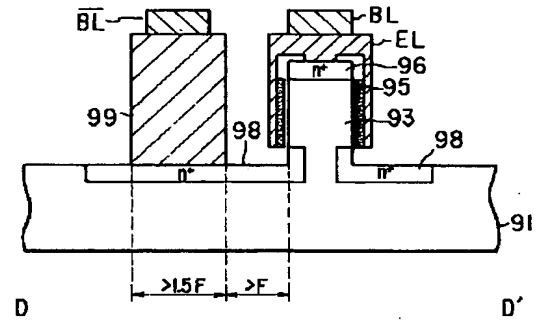
【図16】



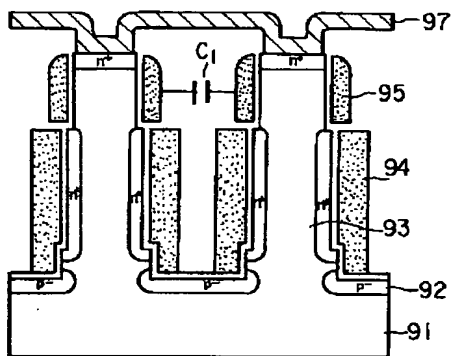
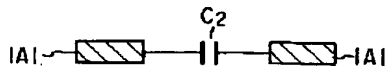
【図15】



【図17】



【図18】



JP05251710 A  
MOS SEMICONDUCTOR MEMORY  
OKI ELECTRIC IND CO LTD  
Inventor(s):IGARASHI YASUSHI

Application No. 03272970 JP03272970 JP, Filed 19911022,A1 Published 19930928

**Abstract:** PURPOSE: To provide a small-sized high-speed memory, in which data can be erased and written bit by bit, by constituting transistors for memory cells in three dimensions, while preventing the deterioration due to downsizing.

**CONSTITUTION:** The title MOS semiconductor memory is formed of an Si post 3 to be formed on Si substrate 1, a tunnel oxide film 6 to be formed around the Si post 3 and on the Si substrate 1 and a floating gate 8 to be formed around the Si post 3 and on the surface of the Si substrate 1 coming into contact with the Si post. Further, a gate oxide film 10 to be formed on the surface of the floating gate 8, a control gate 12 to be formed on the surface of the gate oxide film 10, a diffused source layer 13 to be formed in the upper part of the Si post 3 and a diffused drain layer 5 to be formed in the base of the Si post 3 and in the Si substrate 1 under the tunnel oxide film 6 are formed in the semiconductor memory.

**OPYRIGHT:** (C)1993, JPO&Japio

**Int'l Class:** H01L029788; H01L029792

**patents Citing this One:** No US, EP, or WO patents/search reports have cited this patent.